



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01303699 A**(43) Date of publication of application: **07.12.89**(51) Int. Cl **G11C 29/00**(21) Application number: **63135892**(71) Applicant: **NEC CORP**(22) Date of filing: **01.06.88**(72) Inventor: **INOUE TAIICHI**(54) **SEMICONDUCTOR MEMORY**

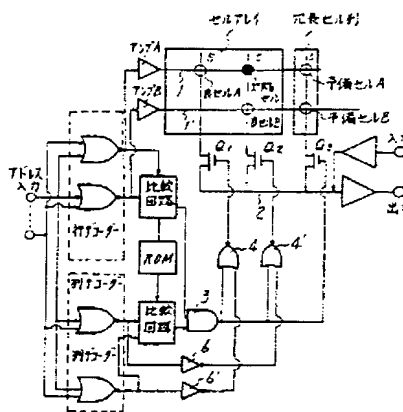
can be improved.

(57) Abstract:

COPYRIGHT: (C)1989,JPO&amp;Japio

**PURPOSE:** To improve efficiency remedying a random defect bit by recognizing a defect cell at the intersection of a matrix.

**CONSTITUTION:** Plural address inputs are inputted to row and column decoders, an output is inputted to an comparing circuit and is compare-collated with the output of a ROM programmed in advance, besides, a row decoder output drives a word line 1 not through the comparing circuit but through an amplifier, and the word line 1 is driven for the delaying portion of a compare-judging circuit. Consequently, any of a good cell A, a defect cell and a spare cell A outputs an output signal to respective bit lines 5-5", and when the output from the respective comparing circuits of a matrix is coincident, the defect cell is selected. Then, by the output of an AND circuit 3, a column decoder output is cutoff by an NOR circuit 4, the switch of  $Q_2$  is not on, the switch of  $Q_3$  is on, a data line 2 is connected with the bit line 5" of the spare cell A, and the defect cell is substituted by the spare cell A. Thus, the remedying efficiency of the random defect cell



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-303699

⑬ Int. Cl.<sup>4</sup>  
G 11 C 29/00

識別記号 庁内整理番号  
3 0 1 B-7737-5B

⑭ 公開 平成1年(1989)12月7日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体メモリー装置

⑯ 特 願 昭63-135892

⑰ 出 願 昭63(1988)6月1日

⑱ 発 明 者 井 上 泰 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体メモリー装置

2. 特許請求の範囲

冗長ビットを有する半導体メモリー装置において、欠陥ビットのみを行及び列の交点にて指定し、予備の行又は列に用意された冗長の為のビットと1対1に対応して置換される回路手段を具備する事を特徴とする半導体メモリー装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体メモリー装置に関し、特にランダムに発生する欠陥ビットの救済を効率的に行う方法に関する。

〔従来の技術〕

従来、この種の欠陥ビット救済はその欠陥ビットを含む行又は列を冗長のための予備行又は列と

置換する方法が一般に行われていた。

〔発明が解決しようとする課題〕

しかしこの方法では、欠陥ビット数が行又は列に沿って発生する、いわゆるゴミ、傷等に起因する欠陥ビット救済は有効であるが、シリコン基板結晶に起因する様なランダム欠陥には救済ビット数に必要な予備行列が無駄が多くなり救済効率が悪くなるという欠点がある。

又、行、列の冗長ビット判定回路の為にメモリーのアクセスタイムが遅くなると言う欠点も併せもっていた。

〔課題を解決するための手段〕

本発明の冗長ビット救済手段は冗長の為の予備の行と、欠陥ビットの位置を記憶する回路と、その欠陥ビットアドレスの入力アドレスを比較してその結果を出力する回路と、その結果出力により制御される欠陥ビットからの出力と予備ビットからの出力とを切替えるスイッチ回路とを具備している。

〔実施例〕

次に、本発明についてその動作について図面を参照して説明する。

構成例は第1図に示される。その主構成要素は行列各デコーダー回路、冗長セル列、セルアレイ、1対の比較回路、そして欠陥セルを記憶するROM部である。

複数のアドレス入力が行及び列デコーダーに入力されて、その出力が比較回路に入力され、前もってプログラムされたROMの出力と比較照合される。このROMは前もって従来技術であるヒューズ型でプログラミングされる。又、行デコーダー出力は比較回路を経ずにアンプを通じて1のワード線を駆動するのでワード線は従来技術に比べ比較判定回路の遅延分だけ高速に駆動される事になる。従って良セルA、欠陥セル及び予備セルのいずれもその出力信号を各々のビット線に出力する。そして、行列の各々の比較回路よりの出力が一致すると欠陥セルが選択された事になるので、それらの3のAND出力により列デコーダー出力は4のOR回路により遮断されQ<sub>1</sub>のスイ

ッチはONしない。一方、3のAND回路の出力によりQ<sub>2</sub>のスイッチがONして2のデータ線は予備セルのビット線と繋がる。即ち欠陥セルが予備セルに置換された事になる。次に行、列少なくともいずれかの比較回路が不一致の場合には3のAND回路は出力せずQ<sub>1</sub>のスイッチがONして良セルAのビット線が2のデータ線に繋がりと、通常の書き込みあるいは読み出し動作がなされる。次に良セルBが選択された場合行側の比較回路は出力しないので前述した如くQ<sub>1</sub>のスイッチがONし良セルBのビット線が2のデータ線に接続される事になり、予備セルBのビット線はQ<sub>2</sub>のスイッチにより遮断されるので正常に動作させられる。

#### 〔発明の効果〕

以上説明した様に本発明は欠陥セルを行列の交点で認識する事によりランダムな欠陥ビットを効率する事ができる。例えば、ランダムな欠陥8ビットを救済する場合、従来技術では8本の子備行又は列が必要であるのに対して、本発明による

と1列の子備行でそれが可能であり、しかもその救済ビット数は1Mビットクラスでは数100ビット以上を子備行列を増す事なく拡張可能である。この時当然ながらROM部が増加するが、行列のデコーダー出力にROMを挿入する様な方法にて子備列数本分の面積増で済ます事ができる。そして本発明を高密度ダイナミック型RAMに適用した場合に基板欠陥によるメモリーセルの保持不良等の救済に有効であり、大幅は歩留向上に寄与できる。特に保持時間を長くしても歩留低下が少ないのでリフレッシュサイクルで決るダイナミック型RAMの消費電力がドラスティックに低減できる事になる。この事はダイナミック型RAMの低コストを生かした低消費型メモリーとして新しい分野を形成できる可能性をもたらすものである。

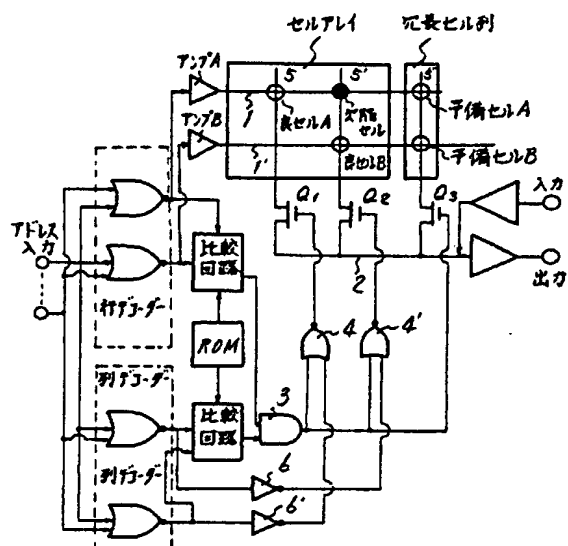
ター線、3はAND回路、4及び4'はNOR回路、Q<sub>1</sub>～Q<sub>4</sub>はMOS型FET、5、5'及び5''はビット線、そして6及び6'はインバーター型アンプである。

代理人 弁理士 内 原 晋

#### 4. 図面の簡単な説明

第1図は本発明の回路説明図である。

第1図に於て1及び1'はワード線、2はデ



第1図